

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-067335
 (43)Date of publication of application : 10.03.1995

(51)Int.Cl. H02M 3/38
 H02J 1/00
 H02M 3/28

(21)Application number : 06-055102 (71)Applicant : MURATA MFG CO LTD
 (22)Date of filing : 28.02.1994 (72)Inventor : NAKAHIRA KOJI
 TANI RYUTA
 OKAMOTO YASUSHI

(30)Priority

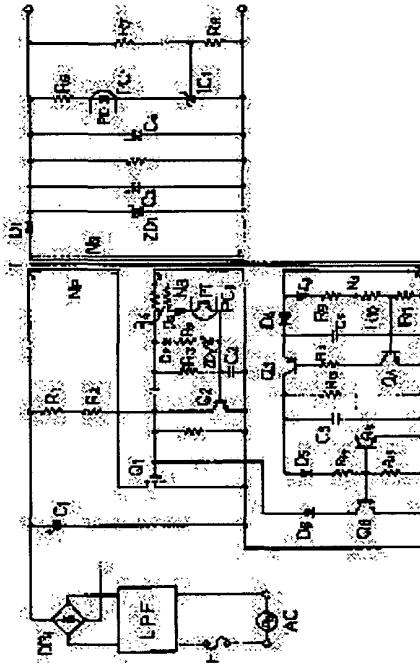
Priority number : 05172500 Priority date : 18.06.1993 Priority country : JP

(54) SWITCHING POWER SUPPLY DEVICE

(57)Abstract:

PURPOSE: To reduce the switching loss of a switching power supply device, by holding a second switching element in OFF-state during a predetermined period while driving a first switching element during the period determined through a time constant circuit.

CONSTITUTION: When a transistor(Tr) Q2 is turned on, a switching element (SW) Q1 is turned off. At this time, positive voltages are generated respectively in output windings N2, N3 of an output transformer T whose winding polarities are opposite respectively to a primary winding Np of the output transformer T, and then, transistors TrQ4, Q3 are turned on, and thereby, a capacitor C6 is charged. By the charged voltage of the capacitor C6, transistors TrQ5, Q6 are turned on, and then, the transistors TrQ1, Q4 are turned off. Further, this state is held during a fixed period until the charge of the capacitor C6 is discharged to some extent according to the time constant determined by the capacitor C6 and resistors R13-R15. By the adjustment of the time constant, the OFF-time of the switching element SWQ1 can be longer than a given time. Therefore, the switching frequency of the switching element SW Q1 cannot exceed, a given frequency.



LEGAL STATUS

[Date of request for examination] 08.09.1999
 [Date of sending the examiner's decision of rejection] 27.03.2001
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3223695
 [Date of registration] 24.08.2001
 [Number of appeal against examiner's decision of rejection] 2001-06058
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

特開平7-67335

(43) 公開日 平成7年(1995)3月10日

(51) Int. C1. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 02M 3/338		A 8726-5 H		
H 02J 1/00	3 0 8	B 7509-5 G		
H 02M 3/28		S 8726-5 H		

審査請求 未請求 請求項の数4

F D

(全14頁)

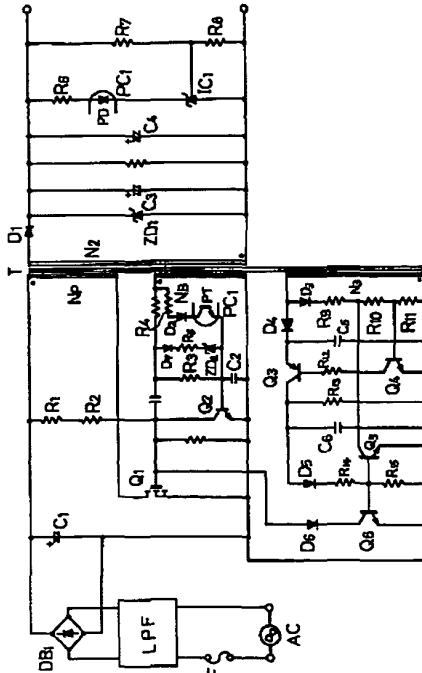
(21) 出願番号	特願平6-55102	(71) 出願人	000006231 株式会社村田製作所 京都府長岡市天神二丁目26番10号
(22) 出願日	平成6年(1994)2月28日	(72) 発明者	中平 浩二 京都府長岡市天神二丁目26番10号 株式会社村田製作所内
(31) 優先権主張番号	特願平5-172500	(72) 発明者	谷 竜太 京都府長岡市天神二丁目26番10号 株式会社村田製作所内
(32) 優先日	平5(1993)6月18日	(72) 発明者	岡本 康司 京都府長岡市天神二丁目26番10号 株式会社村田製作所内
(33) 優先権主張国	日本 (JP)	(74) 代理人	弁理士 奥田 和雄

(54) 【発明の名称】スイッチング電源装置

(57) 【要約】

【目的】 軽負荷時での効率を上げること。

【構成】 スイッチング素子Q₁のターンオフ時に出力巻線N₃に正の電圧を発生させ、トランジスタQ₄をオンさせる。これによりトランジスタQ₃がオンし、コンデンサC₆を充電する。この電圧によりトランジスタQ₆、Q₅がオンすることでスイッチング素子Q₁及びトランジスタQ₄をオフさせる。コンデンサC₆、抵抗R₁₃～R₁₆の時定数により、コンデンサC₆の電荷がある程度放電するまで、ある一定時間この状態を保つ。この時間を調整することで、スイッチング素子Q₁のターンオフの時間を、ある一定以上できる。従って、スイッチング素子Q₁のスイッチング周波数を、ある周波数以上にならないようにできる。そのため、スイッチング素子Q₁のスイッチング回数を減少させることができ、その結果、軽負荷時のロスを減少させることができる。



【特許請求の範囲】

【請求項1】 1次巻線(N_P)、出力巻線(N_2)及び帰還巻線(N_B)を有する出力トランス(T)と、上記出力トランス(T)の1次巻線に一端が接続され帰還巻線に制御端子を接続した発振用のスイッチング素子(Q_1)と、出力トランス(T)の出力巻線(N_2)に接続された整流回路とを備えたリング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子(Q_1)のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランス(T)に設けた出力巻線(N_2)と同極性に巻装した第2の出力巻線(N_3)と、この第2の出力巻線(N_3)に発生した電圧によりオンする第1のスイッチ素子(Q_4)と、この第1のスイッチ素子(Q_4)のオン動作によりオン駆動される第2のスイッチ素子(Q_3)と、この第2のスイッチ素子(Q_3)のオン動作により充電されるコンデンサ(C_6)及び抵抗($R_{1,3}$)～($R_{1,5}$)からなる時定数回路と、この時定数回路により所定時間上記第1のスイッチ素子(Q_4)をオフさせる第3のスイッチ素子(Q_5)と、上記時定数回路により上記スイッチング素子(Q_1)の制御端子をLレベルにして該スイッチング素子(Q_1)を所定時間オフ状態に維持する第4のスイッチ素子(Q_6)とで構成したことを特徴とするスイッチング電源装置。

【請求項2】 上記スイッチング素子(Q_1)の制御端子とアースとの間にコンデンサ(C_7)を接続したことを特徴とする請求項1記載のスイッチング電源装置。

【請求項3】 1次巻線(N_P)、出力巻線(N_2)及び帰還巻線(N_B)を有する出力トランス(T)と、上記出力トランス(T)の1次巻線に一端が接続され帰還巻線(N_B)に制御端子を接続した発振用のスイッチング素子(Q_1)と、出力トランス(T)の出力巻線(N_2)に接続された整流回路とを備えたリング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子(Q_1)のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランス(T)に設けた出力巻線(N_2)と同極性に巻装した第2の出力巻線(N_3)と、上記スイッチング素子(Q_1)のオン時に上記出力トランス(T)の帰還巻線(N_B)より発生した電圧によりオンする第1のスイッチ素子(Q_4)と、この第1のスイッチ素子(Q_4)のオン動作によりオン駆動される第2のスイッチ素子(Q_3)と、スイッチング素子(Q_1)のターンオフ時に帰還巻線(N_B)に発生した逆電圧により上記第1、第2のスイッチ素子(Q_4)、(Q_3)がオフに移行するまでのタイムラグの間に、上記第2の出力巻線(N_3)に発生した電圧により第2のスイッチ素子(Q_3)を介して充電されるコンデンサ(C_6)及び抵抗($R_{1,3}$)～($R_{1,5}$)からなる

時定数回路と、この時定数回路により所定時間オン動作を維持して上記スイッチング素子(Q_1)の制御端子をLレベルにし、該スイッチング素子(Q_1)を所定時間オフ状態に維持する第3のスイッチ素子(Q_5)とで構成したことを特徴とするスイッチング電源装置。

【請求項4】 上記スイッチング素子(Q_1)の制御端子とアースとの間にコンデンサ(C_7)を接続したことを特徴とする請求項3記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、リング・チョーク・コンバータ(RCC)方式を用いたスイッチング電源装置に関するものである。

【0002】

【従来の技術】 図11は従来のFET式のリング・チョーク・コンバータ(RCC)方式のスイッチング電源装置の具体回路図を示すものである。尚、この種の従来例としては、例えば、特公平4-9034号公報が挙げられる。交流電源ACがヒューズF及びラインフィルタLPFを介して整流用のダイオードブリッジDB₁の入力端に接続されており、このダイオードブリッジDB₁の出力端には平滑用のコンデンサC₁が接続されている。

【0003】

インバータ回路は、出力トランスT、FETからなるスイッチング素子Q₁、起動用抵抗R₁、R₂等で構成されている。また、出力トランスTの出力巻線N₂の両端には、整流用のダイオードD₁、定電圧用のツエナーダイオードZD₁、コンデンサC₃、C₄からなる平滑回路が接続されている。

【0004】

更に、インバータ回路には、出力電圧の安定制御及び過電流保護回路としての電圧検出回路及び制御回路が設けてある。インバータ回路の出力側に設けた電圧検出回路は、出力電圧を分圧して検出する抵抗R₇、R₈、フォトカプラPC₁の発光側の発光ダイオードPD、シャントレギュレータIC₁等で構成されている。また、インバータ回路の出力トランスTの帰還巻線N_B側に設けた制御回路は、上記フォトカプラPC₁の発光ダイオードPDと対となるフォトトランジスタPT、抵抗R₃～R₅、ダイオードD₂、D₇、ツエナーダイオードZD₂、スイッチング素子Q₁のゲート・ソース間に並列に接続したトランジスタQ₂等で構成されている。

【0005】

次に、図11に示す回路の動作について説明する。まず、電源が投入された起動時においては、抵抗R₁、R₂を介してスイッチング素子Q₁のゲートに電圧が印加されて、該スイッチング素子Q₁がオンする。このスイッチング素子Q₁がオンすると、出力トランスTの1次巻線N_Pに電源電圧が印加されて、帰還巻線N_Bに1次巻線N_Pと同方向に電圧が発生する。この発生した電圧により抵抗R₃及びダイオードD₇、抵抗

R_5 , ツエナーダイオード ZD_2 の直列回路を介してコンデンサ C_2 を充電する。

【0006】コンデンサ C_2 が充電されていき、トランジスタ Q_2 のベース・エミッタ間の順方向電圧を越えると、トランジスタ Q_2 がオンする。トランジスタ Q_2 がオンすると、トランジスタ Q_2 のコレクタ電位が L レベルとなって、スイッチング素子 Q_1 のゲートを L レベルとして、該スイッチング素子 Q_1 をオフさせる。

【0007】スイッチング素子 Q_1 がオフすると、該スイッチング素子 Q_1 のオン時に出力トランジスタ T に蓄積されていたエネルギーを出力巻線 N_2 を介して放出される。このエネルギーである電圧がダイオード D_1 で整流され、コンデンサ C_3 , C_4 にて平滑されて、負荷に電力が供給されることになる。

【0008】コンデンサ C_2 の電荷が抵抗 R_3 を介して放電してしまうと、トランジスタ Q_2 はオフし、スイッチング素子 Q_1 がオンする。スイッチング素子 Q_1 がオンすると、再び出力トランジスタ T の1次巻線 N_P に電圧が印加されて、出力トランジスタ T にエネルギーを蓄積する。このような動作を繰り返していくことで、インバータ回路が起動して、定常状態に移行する。

【0009】ここで、負荷側の出力電圧は、抵抗 R_7 と R_8 とで常時分圧して検出されており、この分圧した検出電圧とシャントレギュレータ IC_1 が有する基準電圧とを比較している。そして、出力電圧の変動量をシャントレギュレータ IC_1 で増幅し、フォトカプラ PC_1 の発光ダイオード PD に流す電流を変化させて、発光ダイオード PD の発光量に応じてフォトカプラ PC_1 のフォトトランジスタ PT のインピーダンスを変化させ、コンデンサ C_2 の充電時定数を変えることで、出力電圧が一定となるように制御を行う。

【0010】ここで、出力電圧が上昇すると、フォトカプラ PC_1 の発光ダイオード PD に電流が多く流れ、フォトトランジスタ PT を介してコンデンサ C_2 の充電時定数が短くなり、トランジスタ Q_2 を早くオンさせて、スイッチング素子 Q_1 をオフとして、該スイッチング素子 Q_1 のオン期間を短くして、出力電圧を低下させるように制御する。また、出力電圧が低下した場合には、上記の逆の動作を行って、出力電圧を上昇させるようして制御を行い、出力電圧が一定となるように定電圧制御をする。

【0011】また、負荷電流が大となると、出力電圧が低下していき、フォトカプラ PC_1 の発光ダイオード PD に流れる電流が小さくなり、コンデンサ C_2 の充電時定数は抵抗 R_3 と、ダイオード D_7 , 抵抗 R_6 、ツエナーダイオード ZD_2 直列回路との並列値となって最大となり、これ以上負荷電流をとってもスイッチング素子 Q_1 のオン期間幅は増加せず、所謂 f の字特性となる。つまり、過電流制御が行われることになる。

【0012】

【発明が解決しようとする課題】ここで、図11に示すようなリング・チョーク・コンバータ回路において、一般に発振周波数 f は次式で示される。

$$f = (D^2 V_1) / (2 L_1 P_1)$$

但し、 D はデューティ、 P_1 は入力電力、 L_1 は1次巻線 N_P のインダクタンス値、 V_1 は入力電圧である。上式より、入力電力 P_1 が小さくなると、発振周波数 f は大きくなる (f の変動大)。

【0013】また、入力電力 P_1 の小の時は、スイッチング素子 Q_1 のスイッチングロスが大となり、効率が悪くなり、この時のスイッチング素子 Q_1 のロスはほとんどスイッチングロスである (スイッチング素子 Q_1 のオン抵抗 R_{DS} によるロスは小さい)。入力電力 P_1 が小の時、つまり、出力電力が小の時のロスのほとんどは、スイッチングロスであることから、ロスを減衰させるためには、スイッチング素子 Q_1 自体のスイッチングロスを減少させる方法と、スイッチング素子 Q_1 のスイッチング回数を減少させる方法がある。

【0014】ところで、図12は他の従来例のスイッチング電源装置の具体回路図であり、図11の場合と略同じであるが、回路構成が異なる部分だけ説明する。まず、出力トランジスタ T の2次側は、整流用のダイオード D_1 を介して接続される平滑回路の構成を、コンデンサ C_3 , C_4 とチョークコイル L_1 とで構成している。また、出力トランジスタ T の帰還巻線 N_B 側に接続されコンデンサ C_2 を充電する時定数回路を少し異ならせている。すなわち、抵抗 R_3 を、抵抗 R_6 とツエナーダイオード ZD_2 との直列回路に並列に接続している。

【0015】なお、図12における回路の動作は、図11の回路と基本的に同じなので、その説明は省略する。

【0016】本発明は上述の点に鑑みて提供したものであって、スイッチング素子の発振周波数をある周波数以上に上げないようにしてロスを少なくて効率を上げることを目的としたスイッチング電源装置を提供するものである。

【0017】

【課題を解決するための手段】本発明は、1次巻線 N_P 、出力巻線 N_2 及び帰還巻線 N_B を有する出力トランジスタ T と、上記出力トランジスタ T の1次巻線 N_P に一端が接続され帰還巻線 N_B に制御端子を接続した発振用のスイッチング素子 Q_1 と、出力トランジスタ T の出力巻線 N_2 に接続された整流回路とを備えたリング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子 Q_1 のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランジスタ T に設けた出力巻線 N_2 と同極性に巻装した第2の出力巻線 N_3 と、この第2の出力巻線 N_3 に発生した電圧によりオンする第1のスイッチ素子 Q_4 と、この第1のスイッチ素子 Q_4 のオン動作によりオン駆動される第2のスイッチ素子 Q_3 と、

この第2のスイッチ素子Q₃のオン動作により充電されるコンデンサC₆及び抵抗R₁₃～R₁₆からなる時定数回路と、この時定数回路により所定時間上記第1のスイッチ素子Q₄をオフさせる第3のスイッチ素子Q₅と、上記時定数回路により上記スイッチング素子Q₁の制御端子をLレベルにして該スイッチング素子Q₁を所定時間オフ状態に維持する第4のスイッチ素子Q₆とで構成したことを特徴としている。

【0018】また、請求項2においては上記請求項1の回路構成において、上記スイッチング素子Q₁の制御端子とアースとの間にコンデンサC₇を接続したことを特徴としている。

【0019】更に、請求項3においては、1次巻線N_P、出力巻線N₂及び帰還巻線N_Bを有する出力トランジストTと、上記出力トランジストTの1次巻線に一端が接続され帰還巻線N_Bに制御端子を接続した発振用のスイッチング素子Q₁と、出力トランジストTの出力巻線N₂に接続された整流回路とを備えたリンクギング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子Q₁のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランジストTに設けた出力巻線N₂と同極性に巻装した第2の出力巻線N₃と、上記スイッチング素子Q₁のオン時に上記出力トランジストTの帰還巻線N_Bより発生した電圧によりオフする第1のスイッチ素子Q₄と、この第1のスイッチ素子Q₄のオン動作によりオフ駆動される第2のスイッチ素子Q₃と、スイッチング素子Q₁のターンオフ時に帰還巻線N_Bに発生した逆電圧により上記第1、第2のスイッチ素子Q₄、Q₃がオフに移行するまでのタイムラグの間に、上記第2の出力巻線N₃に発生した電圧により第2のスイッチ素子Q₃を介して充電されるコンデンサC₆及び抵抗R₁₃～R₁₆からなる時定数回路と、この時定数回路により所定時間オフ動作を維持して上記スイッチング素子Q₁の制御端子をLレベルにし、該スイッチング素子Q₁を所定時間オフ状態に維持する第3のスイッチ素子Q₆とで構成したことを特徴としている。

【0020】また、請求項4においては上記請求項3の回路構成において、上記スイッチング素子Q₁の制御端子とアースとの間にコンデンサC₇を接続したことを特徴としている。

【0021】

【作用】本発明によれば、時定数回路における時間により所定時間第4のスイッチ素子Q₆を駆動してスイッチング素子Q₁を所定時間オフ状態に維持させることで、該スイッチング素子Q₁のスイッチング周波数を、ある周波数以上にならないようにしている。従って、出力電力が小さい場合のスイッチングロスを減少させることができ、そのため、軽負荷時での効率を向上させることができる。

【0022】また、請求項2によれば、上記スイッチング素子Q₁の制御端子とアースとの間にコンデンサC₇を接続していることで、時定数回路により所定時間が経過してスイッチング素子Q₁がターンオフしようとしても、コンデンサC₇によりスイッチング素子Q₁の制御端子への電圧の立ち上がりが遅れて、スイッチング素子Q₁のオフ時間をより長くすることができる。そのため、軽負荷時でのスイッチング素子Q₁のスイッチング周波数をより減少させることができ、軽負荷時で、より効率を向上させることができる。

【0023】請求項3によれば、時定数回路における時間により所定時間第3のスイッチ素子Q₆を駆動してスイッチング素子Q₁を所定時間オフ状態に維持させることで、該スイッチング素子Q₁のスイッチング周波数を、ある周波数以上にならないようにしている。従って、出力電力が小さい場合のスイッチングロスを減少させることができ、そのため、軽負荷時での効率を向上させることができる。

【0024】また、請求項4によれば、上記スイッチング素子Q₁の制御端子とアースとの間にコンデンサC₇を接続していることで、時定数回路により所定時間が経過してスイッチング素子Q₁がターンオフしようとしても、コンデンサC₇によりスイッチング素子Q₁の制御端子への電圧の立ち上がりが遅れて、スイッチング素子Q₁のオフ時間をより長くすることができる。そのため、軽負荷時でのスイッチング素子Q₁のスイッチング周波数をより減少させることができ、軽負荷時で、より効率を向上させることができる。

【0025】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1に本発明のスイッチング電源装置の具体回路図を示す。尚、図1に示す從来と同じ要素には同一の記号を付して説明を省略し、本発明の要旨の部分について詳述する。

【0026】図1に示すように、出力トランジストTに第2の出力巻線N₃を設け、この出力巻線N₃の両端にダイオードD₃、抵抗R₉～R₁₁の直列回路を接続し、第2の出力巻線N₃の一端よりダイオードD₄を介してトランジスタQ₃のエミッタに接続している。また、トランジスタQ₃のベースには抵抗R₁₂を介してトランジスタQ₄のコレクタを接続し、該トランジスタQ₄のベースは抵抗R₁₀とR₁₁の接続点に接続してある。

【0027】上記トランジスタQ₃のコレクタとトランジスタQ₄のエミッタとの間にコンデンサC₆を接続し、このコンデンサC₆に並列に、抵抗R₁₃と、ダイオードD₅、抵抗R₁₄及びR₁₅の直列回路をそれぞれ接続している。また、抵抗R₁₄とR₁₅の接続点とトランジスタQ₅、Q₆のベースとをそれぞれ接続している。一方のトランジスタQ₅のコレクタは抵抗R₉とR₁₀の接続点に接続している。また、他方のトランジ

スタ Q_6 のコレクタはダイオード D_6 を介してスイッチング素子 Q_1 のゲートに接続している。

【0028】次に動作を説明する。定常状態においては、抵抗 R_1 、 R_2 を介してスイッチング素子 Q_1 のゲートに電圧がかかり、スイッチング素子 Q_1 がターンオンする。スイッチング素子 Q_1 がターンオンすると、出力トランジスタ T に電流が流れ、帰還巻線 N_B に1次巻線 N_P と同方向に電圧がかかる。そして、フォトカプラ P_C_1 を介して流れる電流によって、コンデンサ C_2 に電荷が蓄えられていき、トランジスタ Q_2 がオンする。

【0029】トランジスタ Q_2 がオンすると、スイッチング素子 Q_1 のゲートの電圧が下がり、スイッチング素子 Q_1 はターンオフする。この時、出力トランジスタ T の1次巻線 N_P に対して逆極性で巻いた出力巻線 N_2 、出力巻線 N_3 に正の電圧が発生する。

【0030】出力トランジスタ T の出力巻線 N_2 においては、理想的には、 $\Delta T = (I_{2P}V) / L_2$ (I_{2P} は2次側電流、 V は出力電圧、 ΔT はスイッチング素子 Q_1 のオフ期間) で示される ΔT で出力トランジスタ T に蓄えられたエネルギーを放出してしまい、その直後にスイッチング素子 Q_1 はターンオンとなる(軽負荷時には、この ΔT が短いため発振周波数が上がる)。

【0031】しかし、ここで、スイッチング素子 Q_1 のターンオフ時に出力トランジスタ T の出力巻線 N_3 に正の電圧を発生させ、トランジスタ Q_4 をオンさせる。このトランジスタ Q_4 のオンによりトランジスタ Q_3 がオンし、コンデンサ C_6 を充電し、このコンデンサ C_6 の両端に電圧が発生する。コンデンサ C_6 の両端の電圧が抵抗 R_{14} と R_{16} で分圧した電圧がトランジスタ Q_5 、 Q_6 のベースにそれぞれ印加されてトランジスタ Q_5 、 Q_6 がオンする。

【0032】トランジスタ Q_6 がオンすることにより、スイッチング素子 Q_1 のゲートをLレベルにして、該スイッチング素子 Q_1 をオフさせる。また、同時にトランジスタ Q_5 がオンすることにより、トランジスタ Q_4 のベースをLレベルにして、該トランジスタ Q_4 をオフさせる。更に、トランジスタ Q_4 がオフすることで、トランジスタ Q_3 がオフする。

【0033】そして、コンデンサ C_6 、抵抗 R_{13} ～ R_{16} の時定数により、コンデンサ C_6 の電荷をある程度放電するまで、ある一定時間この状態を保つ。この時間、つまり、コンデンサ C_6 、抵抗 R_{13} ～ R_{16} で構成される時定数回路の時定数を調整することで、スイッチング素子 Q_1 のターンオフの時間を、ある一定以上にすることができる。従って、スイッチング素子 Q_1 のスイッチング周波数を、ある周波数以上にならないようにすることができる。

【0034】このように、本実施例ではリング・チヨーク・コンバータ回路において、スイッチング素子 Q_1 のスイッチング回数を減少させるために、出力トラン

ST の1次側及び2次側にも電流が流れない休止時間を作ることで、スイッチング周波数をある周波数以上にはならないようとしているものである。従って、スイッチング素子 Q_1 のターンオフ期間を、ある一定以上持たせることにより、スイッチング素子 Q_1 のスイッチング回数を減少させることができ、その結果、軽負荷時のロスを減少させることができる。

【0035】尚、この休止期間は、入力電圧、負荷状態、その時のスイッチング素子 Q_1 の発振波形等で一定ではなく、スイッチング素子 Q_1 のターンオフ期間は完全に固定されるわけではない。また、スイッチング素子 Q_1 としてFETを用いたが、トランジスタを用いた場合にも同様に適用できるものである。

【0036】図2に本発明の実験結果を示す。図2に示す実線が本発明であり、破線が従来例(図11)である。図示するように、出力電力が5Wの時、従来例では効率が約61%であったのが、本発明では、約70%とすることができた。従って、本発明においては、軽負荷時で特に効率が良いものである。

【0037】(実施例2) 図3に実施例2の具体回路図を示す。本実施例において、先の実施例と異なるところはトランジスタ Q_6 、 Q_6 のベース側の回路が少し異なるだけである。すなわち、トランジスタ Q_6 のベースには、抵抗 R_{16} と R_{17} の分圧出力を印加するようにし、また、トランジスタ Q_6 のベースには抵抗 R_{18} と R_{19} の分圧出力を印加するようにしている。そして、抵抗 R_{16} と R_{18} の共通接続点をダイオード D_6 のカソードに接続している。

【0038】本実施例では、抵抗 R_{16} と R_{17} の分圧比を、抵抗 R_{18} と R_{19} の分圧比と異ならせることによって、例えば、トランジスタ Q_6 がオンする時刻をトランジスタ Q_6 がオンする時刻より遅らせることで、コンデンサ C_6 の充電時間を多くして、トランジスタ Q_6 がオンしている時間、つまり、スイッチング素子 Q_1 がオフしている時間が多くすることができる。つまり、スイッチング素子 Q_1 のターンオフ時間を多くしてスイッチング回数を下げることで、軽負荷時の効率をより向上させることができる。

【0039】(実施例3) 図4に実施例3の具体回路図を示す。本実施例は、図1に示す回路において、スイッチング素子 Q_1 のゲート・ソース間にコンデンサ C_7 を並列に接続したものである。本実施例では、コンデンサ C_6 の充電電荷が放電しきってトランジスタ Q_6 がオフした時にスイッチング素子 Q_1 のゲートに抵抗 R_1 と R_2 を介して電圧が印加されるが、コンデンサ C_7 によりスイッチング素子 Q_1 のゲート電圧の立ち上がりを遅らせている。

【0040】つまり、上記コンデンサ C_7 によりスイッチング素子 Q_1 のオフ期間を長くすることで、該スイッチング素子 Q_1 のスイッチング回数を先の実施例より、

より減少させることができ、軽負荷時でのロスをより減少させることができる。図5は出力電力とスイッチング周波数 f との関係を示し、コンデンサ C_7 がない場合と比べて、コンデンサ C_7 をスイッチング素子 Q_1 のゲートに接続した場合の方が、スイッチング周波数 f をより下げることができる。なお、RCCは、本発明の制御を行わない場合を示しており、軽負荷時では、スイッチング周波数がかなり上昇している。

【0041】また、図6は本実施例における出力電力を効率との関係を示し、実線は本実施例であり、破線は従来例（図11）である。図示するように軽負荷時において特に効率を向上することができる。図1に示す実施例と比べて、本実施例の場合には、3～4%程効率を向上させることができる。

【0042】（実施例4）図7に実施例4を示す。本実施例は図12に示す従来例に対応するものである。また上記の実施例と同様に、本実施例でも図12の従来例と同じ要素には同一の記号を付している。図8は本実施例の各部の電圧波形を示している。

【0043】図7に示すように、出力トランジスタTに第2の出力巻線 N_3 を設けている。そして、出力トランジスタTの帰還巻線 N_B の一端と上記第2の出力巻線 N_3 の他端との間に、ダイオード D_3 、ツエナーダイオード ZD_1 、抵抗 R_{10} 及び抵抗 R_{11} の直列回路を並列に接続している。また、出力トランジスタTの第2の出力巻線 N_3 の一端よりダイオード D_4 を介してトランジスタ Q_3 のエミッタに接続している。このトランジスタ Q_3 のベースには抵抗 R_{12} を介してトランジスタ Q_4 のコレクタに接続し、該トランジスタ Q_4 のベースは上記抵抗 R_{10} と R_{11} の接続点に接続してある。

【0044】上記トランジスタ Q_3 のコレクタとトランジスタ Q_4 のエミッタとの間にコンデンサ C_6 を接続し、このコンデンサ C_6 に並列に、抵抗 R_{13} と、抵抗 R_{14} 及び抵抗 R_{15} の直列回路をそれぞれ接続している。また、抵抗 R_{14} と抵抗 R_{15} の接続点とトランジスタ Q_6 のベースとを接続している。さらに、トランジスタ Q_6 のコレクタはダイオード D_6 を介してスイッチング素子 Q_1 のゲートに接続している。

【0045】次に動作を図8を参照して説明する。ここで、図8は図7の各部の電圧波形を示し、図8の（a）～（i）は、図7のa点～i点での電圧波形を示している。また、図8において、横軸は全波形 $2.0 \mu/di$ vで、GNDは全てトランジスタ Q_4 のエミッタの電位として測定したものである。

【0046】定常状態においては、抵抗 R_1 、 R_2 を介してスイッチング素子 Q_1 のゲートに電圧がかかり、スイッチング素子 Q_1 がターンオンする。スイッチング素子 Q_1 がターンオンすると、出力トランジスタTに電流が流れ、帰還巻線 N_B の1次巻線 N_P と同方向に電圧がかかる（図8（b）のA-B参照）。そして、ダイオード D

、ツエナーダイオード ZD_1 、抵抗 R_{10} 、 R_{11} を介してトランジスタ Q_4 のベースに電圧がかかり、該トランジスタ Q_4 がオン状態になる（図8（c）～（e）のA-B参照）。

【0047】しかし、出力トランジスタTの第2の出力巻線 N_3 には1次巻線 N_P と逆方向に電圧がかかるため（図8（a）のA-B参照）、ダイオード D_4 によって阻止され、コンデンサ C_6 は充電されない（図8（g）のA-B参照）。そして、フォトカプラ PC_1 を介して流れる電流によって、コンデンサ C_2 に電荷が蓄えられていき、トランジスタ Q_2 がオンする。

【0048】トランジスタ Q_2 がオンすると、スイッチング素子 Q_1 のゲートの電圧が下がり、スイッチング素子 Q_1 はターンオフする。この時、出力トランジスタTの1次巻線 N_P に対して逆極性で巻いた出力巻線 N_2 、出力巻線 N_3 に正の電圧が発生する（図8の（a）のB点参照）。

【0049】出力トランジスタTの出力巻線 N_2 においては、理想的には、 $\Delta T = (I_{2P}V) / L_2$ （ I_{2P} は2次側電流、 V は出力電圧、 ΔT はスイッチング素子 Q_1 のオフ期間）で示される ΔT で出力トランジスタTに蓄えられたエネルギーを放出してしまい、その後にスイッチング素子 Q_1 はターンオンとなる（軽負荷時には、この ΔT が短いため発振周波数が上がる）。

【0050】しかし、ここでスイッチング素子 Q_1 のターンオフ時に出力トランジスタTの第2の出力巻線 N_3 に正の電圧を発生させる（図8の（a）のB点参照）。ここで、トランジスタ Q_4 は既にオンしており、図8（d）のB点で示される電圧と、トランジスタ Q_4 のオフの遅れにより、ターンオフ時、トランジスタ Q_4 はすぐにオフしない（図8（e）のB-C参照）ので、トランジスタ Q_3 もオン状態を保つ。

【0051】したがって、第2の出力巻線 N_3 に発生した電圧が、ダイオード D_4 を介してトランジスタ Q_3 のコレクタに電圧がかかり（図8（f）のB-C参照）、コンデンサ C_6 に充電を開始する（図8（g）のB-C参照）。このコンデンサ C_6 の両端の電圧が、抵抗 R_{14} と R_{15} で分圧した電圧がトランジスタ Q_6 のベースに印加されてトランジスタ Q_6 がオンする。

【0052】トランジスタ Q_6 がオンすることにより、スイッチング素子 Q_1 のゲートをLレベルにして、該スイッチング素子 Q_1 のオフ状態を維持する。一方、トランジスタ Q_4 は、帰還巻線 N_B に逆電圧が発生しているため（図8（b）のB-C参照）、上述の遅れのためにオン状態を維持していてもその遅れの後にオフする（図8（e）のC点参照）。

【0053】また、図8のC-Dの間、出力トランジスタTの帰還巻線 N_B にはグランド（GND）を中心に正負に振幅しているが（ V_{B2} ）、図8（b）のA-B間の電圧（ V_{B1} ）に比較して十分に小さいため、ツエナーダイオ

ードZD₁のツエナー電圧(V_Z)を、
V_{B2} < V_Z < V_{B1}

となるように設定することで、トランジスタQ₄は再びオンできないようにしている。

【0054】そして、コンデンサC₆、抵抗R₁₃～R₁₅の時定数により、コンデンサC₆の電荷をある程度放電するまで、ある一定時間この状態を保つ。この時間、つまり、コンデンサC₆、抵抗R₁₃～R₁₅で構成される時定数回路の時定数を調整することで、スイッチング素子Q₁のターンオフ時間を、ある一定以上にすることができます。従って、スイッチング素子Q₁のスイッチング周波数を、ある周波数以上にならないようにすることができます。

【0055】このように、本実施例ではリンクギング・チャージ・コンバータ回路において、スイッチング素子Q₁のスイッチング回数を減少させるために、出力トラン*

*スイッチング回数を減少させることで、スイッチング周波数をある周波数以上にはならないようにしているものである。従って、スイッチング素子Q₁のターンオフ時間を、ある一定以上持たせることにより、スイッチング素子Q₁のスイッチング回数を減少させることができ、その結果、軽負荷時のロスを減少させることができる。

【0056】尚、この休止期間は、入力電圧、負荷状態、その時のスイッチング素子Q₁の発振波形等で一定ではなく、スイッチング素子Q₁のターンオフ期間は完全に固定されるわけではない。また、スイッチング素子Q₁としてFETを用いたが、トランジスタを用いた場合にも同様に適用できるものである。

【0057】

【表1】

入力電圧(V)	従来回路(図12)	本発明(図7)
185	④	①
220	⑤	②
264	⑥	③

【0058】図9に本実施例の実験結果を示す。上記表1に図9の①～⑥の線の条件を示す。図9に示すように、入力電圧が220Vで、出力電力が3Wの時、図2に示す従来例(⑤)では、効率が約41%であったのが、本実施例(②)では、約58%とすることができます。また、出力電力が3Wの時、従来例では入力電圧により効率が33%(⑥)～49%(④)と16%変動していたが、本実施例では、52%(③)～62%(①)と10%の変動とすることができます。したがって、本実施例においては軽負荷時で効率が良く、入力の変動による効率の変動が少ないものである。

【0059】(実施例5)図10に実施例3の具体回路図を示す。本実施例は、図7に示す回路において、スイッチング素子Q₁のゲート・ソース間にコンデンサC₇を並列に接続したものである。本実施例では、コンデンサC₆の充電電荷が放電しきってトランジスタQ₆がオフした時にスイッチング素子Q₁のゲートに抵抗R₁とR₂を介して電圧が印加されるが、コンデンサC₇によりスイッチング素子Q₁のゲート電圧の立ち上がりを遅らせている。

【0060】つまり、上記コンデンサC₇によりスイッチング素子Q₁のオフ期間を長くすることで、該スイッ

チング素子Q₁のスイッチング回数を先の実施例より、30より減少させることができ、軽負荷時でのロスをより減少させることができる。図5は出力電力とスイッチング周波数fとの関係を示し(なお、図5は先の実施例1の場合の特性図であるが、本実施例の場合も同じ結果が得られたので、図5を利用する。)、コンデンサC₇がない場合と比べて、コンデンサC₇をスイッチング素子Q₁のゲートに接続した場合の方が、スイッチング周波数fをより下げることができる。なお、RCCは、本発明の制御を行わない場合を示しており、軽負荷時では、スイッチング周波数がかなり上昇している。

【0061】また、図6は本実施例における出力電力を効率との関係を示し(なお、図6は先の実施例1の場合の特性図であるが、上記図5の場合と同様に本実施例の場合も同じ結果が得られたので、図6を利用する。)、実線は本実施例であり、破線は従来例(図11)である。図示するように軽負荷時において特に効率を向上することができる。図7に示す実施例と比べて、本実施例の場合には、3～4%程効率を向上させることができる。

【0062】

【発明の効果】本発明によれば、1次巻線、出力巻線及

び帰還巻線を有する出力トランスと、上記出力トランスの1次巻線に一端が接続され帰還巻線に制御端子を接続した発振用のスイッチング素子と、出力トランスの出力巻線に接続された整流回路とを備えたリングング・チョーク・コンバータ方式のスイッチング電源装置において、上記スイッチング素子のスイッチング周波数を、ある周波数以上にならないように抑制する制御手段を備え、該制御手段を、上記出力トランスに設けた出力巻線と同極性に巻接した第2の出力巻線と、この第2の出力巻線に発生した電圧によりオンする第1のスイッチ素子と、この第1のスイッチ素子のオン動作によりオン駆動される第2のスイッチ素子と、この第2のスイッチ素子のオン動作により充電されるコンデンサ及び抵抗からなる時定数回路と、この時定数回路により所定時間上記第1のスイッチ素子をオフさせる第3のスイッチ素子と、上記時定数回路により上記スイッチング素子の制御端子をレベルにして該スイッチング素子を所定時間オフ状態に維持する第4のスイッチ素子とで構成したものであるから、時定数回路における時間により所定時間第4のスイッチ素子を駆動してスイッチング素子を所定時間オフ状態に維持させることで、該スイッチング素子のスイッチング周波数を、ある周波数以上にならないようにしている。従って、出力電力が小さい場合のスイッチングロスを減少させることができ、そのため、軽負荷時での効率を向上させることができるという効果を奏するものである。

【0063】また、請求項2によれば、上記スイッチング素子の制御端子とアースとの間にコンデンサを接続していることで、時定数回路により所定時間が経過してスイッチング素子がターンオンしようとしても、コンデンサによりスイッチング素子の制御端子への電圧の立ち上がりが遅れて、スイッチング素子のオフ時間をより長くすることができる。そのため、軽負荷時でのスイッチング素子のスイッチング周波数をより減少させることができ、軽負荷時で、より効率を向上させることができる。

【0064】請求項3によれば、時定数回路における時間により所定時間第3のスイッチ素子を駆動してスイッチング素子を所定時間オフ状態に維持させることで、該スイッチング素子のスイッチング周波数を、ある周波数以上にならないようにしている。従って、出力電力が小さい場合のスイッチングロスを減少させることができ、そのため、軽負荷時での効率を向上させることができるという効果を奏するものである。

【0065】また、請求項2によれば、上記スイッチング素子の制御端子とアースとの間にコンデンサを接続し

ていることで、時定数回路により所定時間が経過してスイッチング素子がターンオンしようとしても、コンデンサによりスイッチング素子の制御端子への電圧の立ち上がりが遅れて、スイッチング素子のオフ時間をより長くすることができる。そのため、軽負荷時でのスイッチング素子のスイッチング周波数をより減少させることができ、軽負荷時で、より効率を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例のスイッチング電源装置の具体回路図である。

【図2】本発明の実施例の出力電力と効率との関係を示す図である。

【図3】本発明の実施例2のスイッチング電源装置の具体回路図である。

【図4】本発明の実施例3のスイッチング電源装置の具体回路図である。

【図5】本発明の実施例3の出力電力とスイッチング周波数との関係を示す図である。

【図6】本発明の実施例3の出力電力と効率との関係を示す図である。

【図7】本発明の実施例4のスイッチング電源装置の具体回路図である。

【図8】本発明の実施例4の図7における各部の電圧波形を示す図である。

【図9】本発明の実施例4の出力電力と効率との関係を示す図である。

【図10】本発明の実施例5のスイッチング電源装置の具体回路図である。

【図11】従来例のスイッチング電源装置の具体回路図である。

【図12】他の従来例のスイッチング電源装置の具体回路図である。

【符号の説明】

T 出力トランス

N_P 1次巻線

N₂ 出力巻線

N₃ 第2の出力巻線

N_B 帰還巻線

Q₁ スイッチング素子

Q₃ レジスタ (第2のスイッチ素子)

Q₄ レジスタ (第1のスイッチ素子)

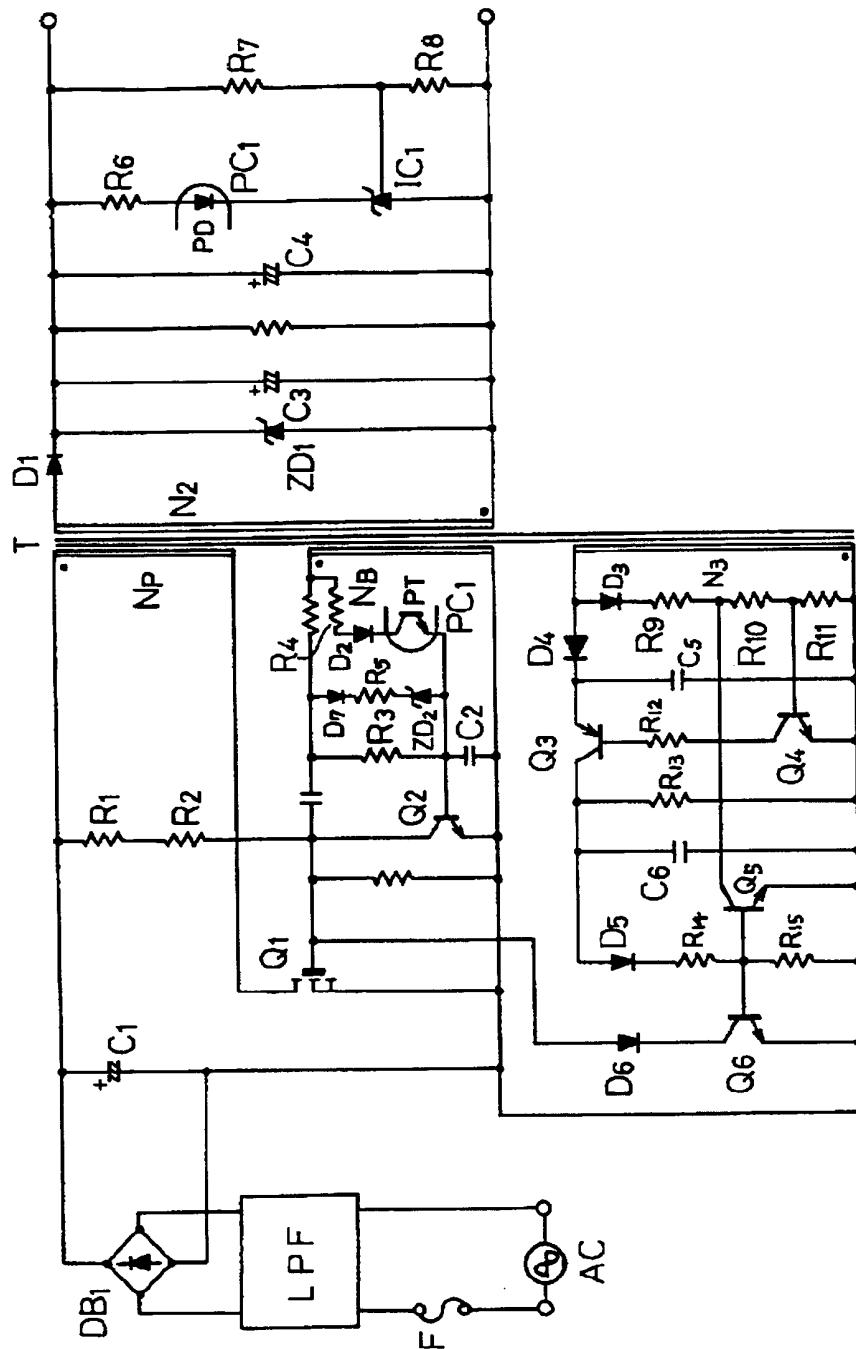
Q₅ レジスタ (第3のスイッチ素子)

Q₆ レジスタ (第4のスイッチ素子)

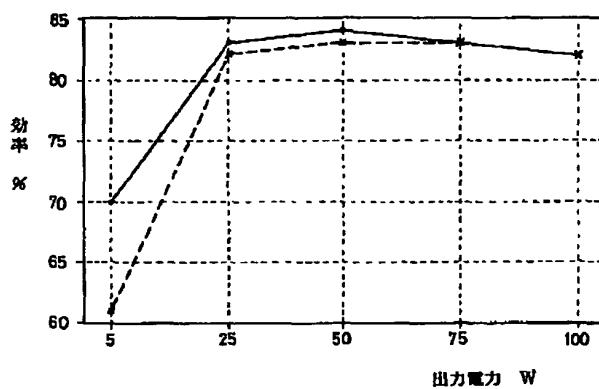
C₆ コンデンサ

R₁₋₃ ~ R₁₋₅ 抵抗

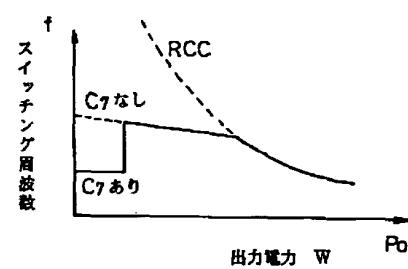
【図1】



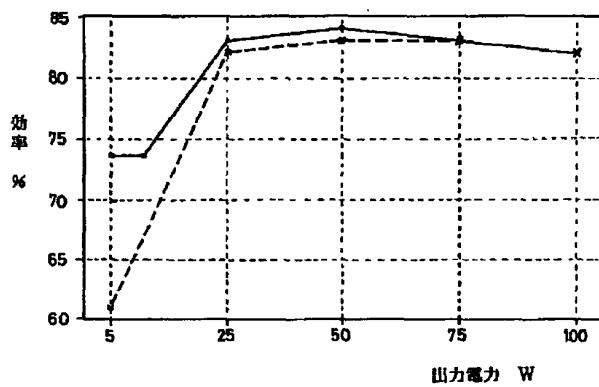
【図2】



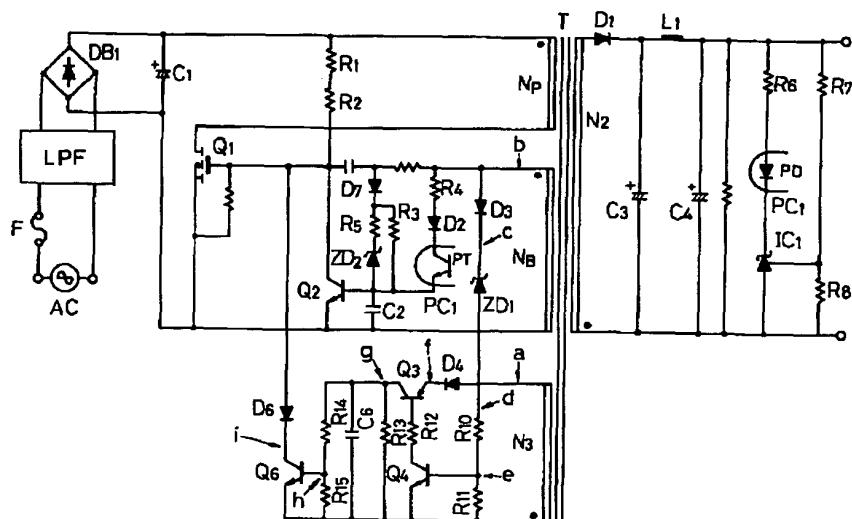
【図5】



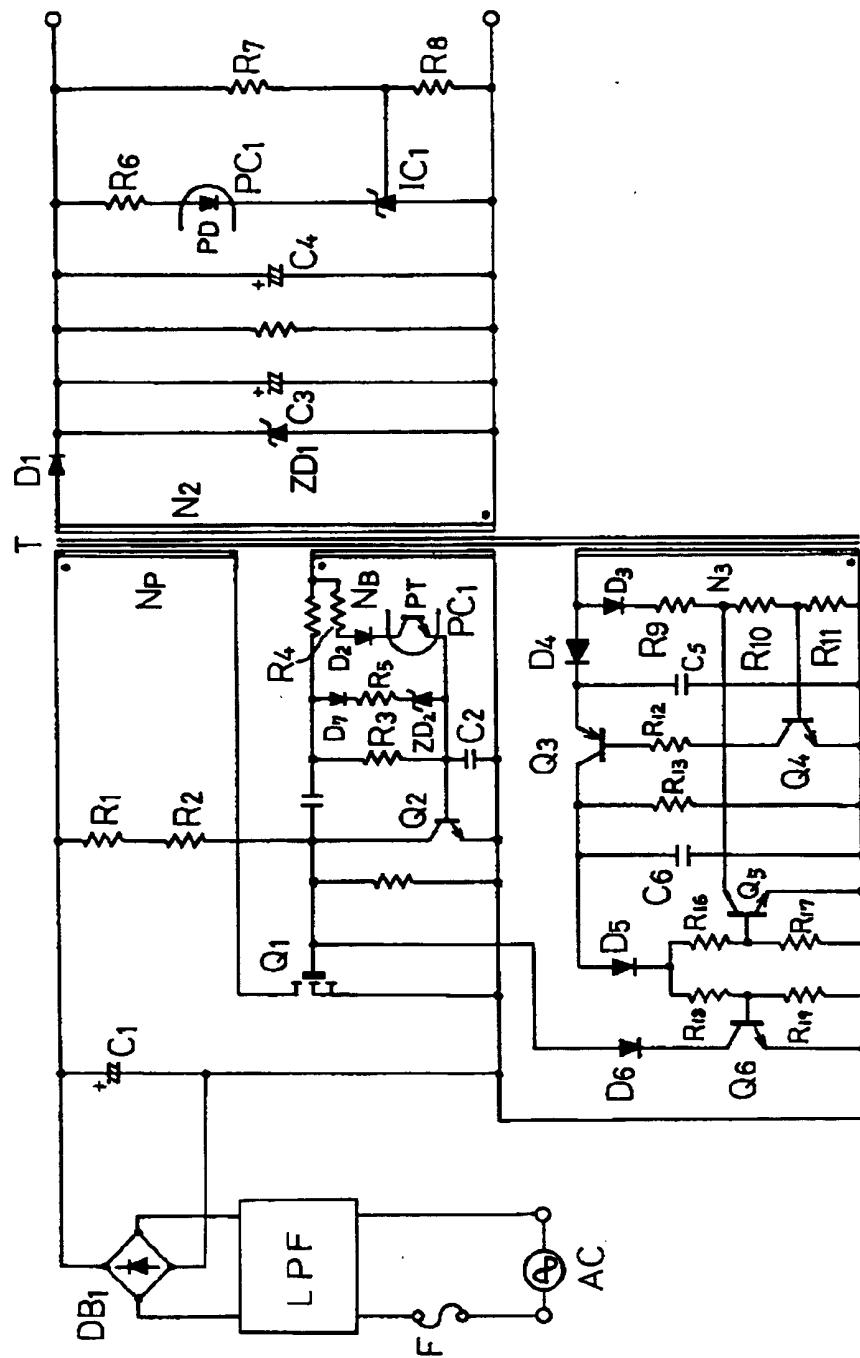
【図6】



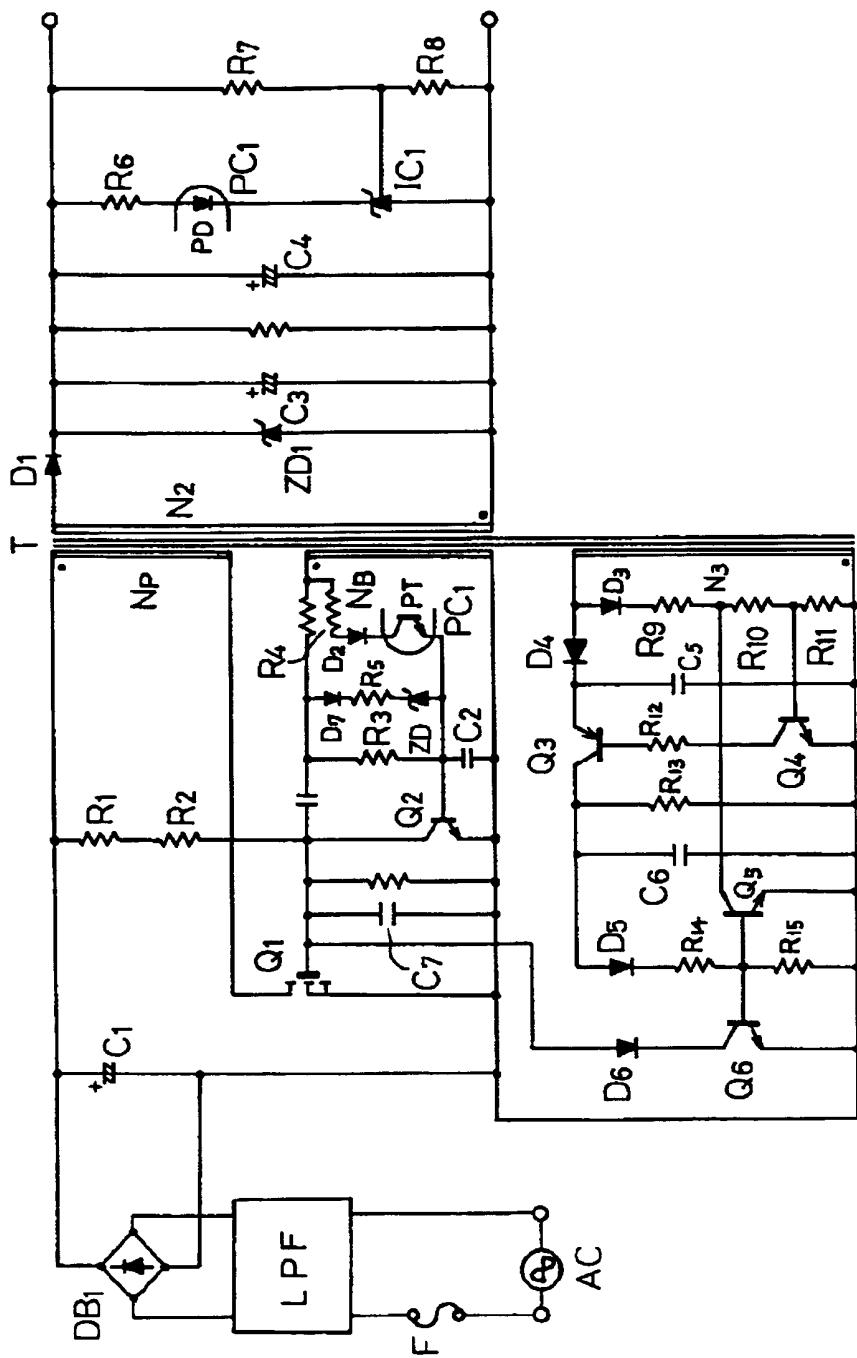
【図7】



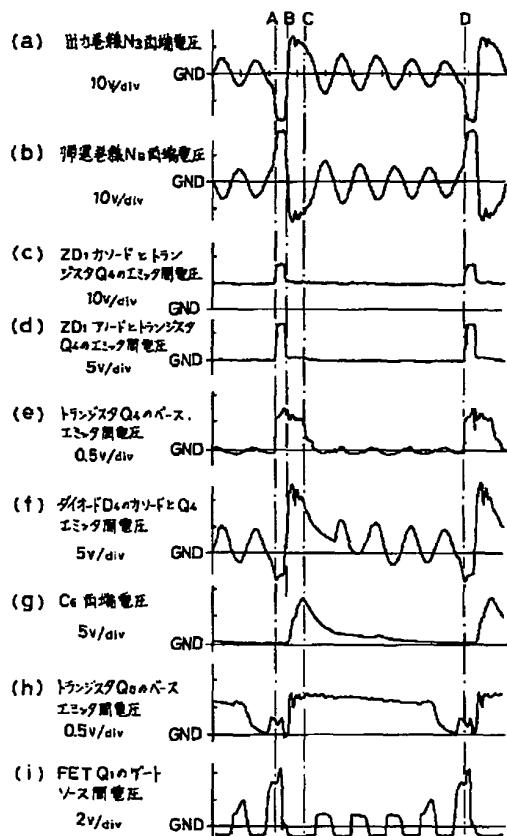
【図3】



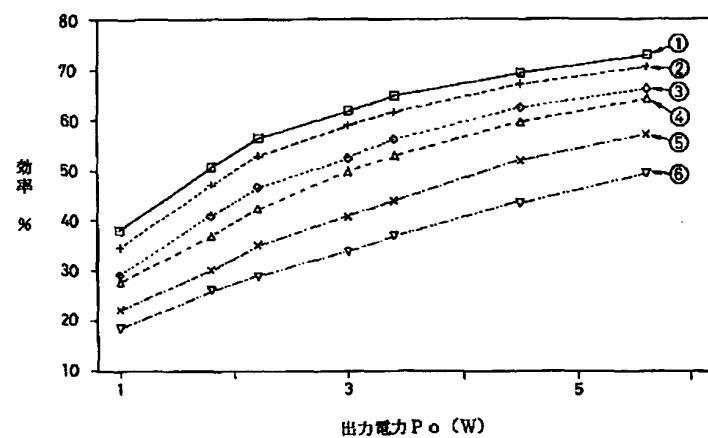
【図4】



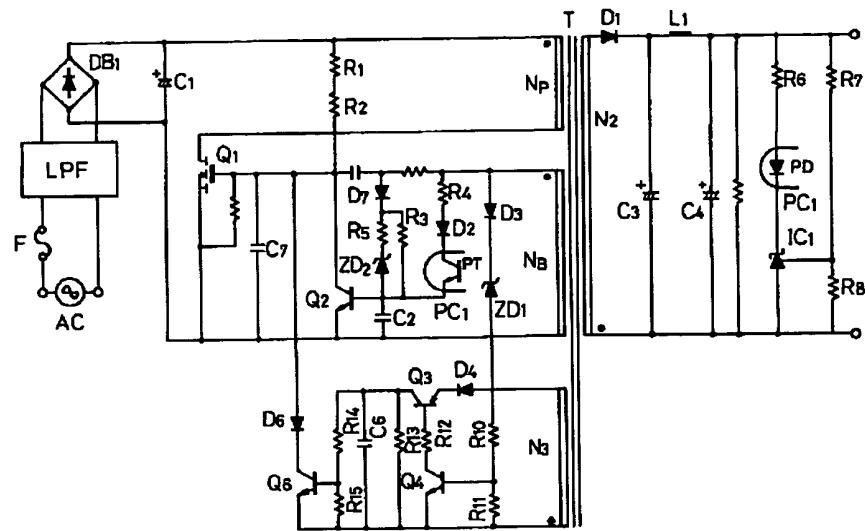
【図8】



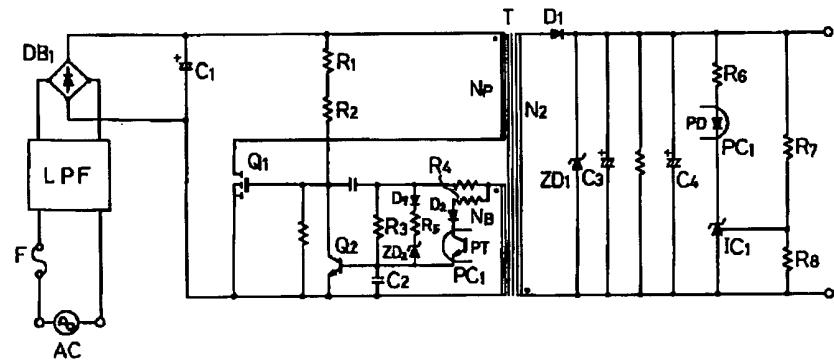
【図9】



【図10】



【図11】



【図12】

